

IX SEMINÁRIO NACIONAL DE PRODUÇÃO E TRANSMISSÃO DE ENERGIA ELÉTRICA

BH/GPC/04

BELO HORIZONTE - MG - BRASIL 1987

GRUPO V - PROTEÇÃO, MEDIÇÃO E CONTROLE DE SISTEMAS DE POTÊNCIA EM CA E CC - (GPC)

DIAGNÓSTICO DE FALHAS EM RELÉS ESTÁTICOS PROVOCADAS POR TRANSITÓRIOS EM CIRCUITOS LÓGICOS

I.P.SIQUEIRA

COMPANHIA HIDRO ELÉTRICA DO SÃO FRANCISCO

1. INTRODUÇÃO

O aumento da capacidade instalada dos sistemas de potência tem exigido velocidades e sensibilidades crescentes dos sistemas de proteção. O atendimento destes requisitos só foi possível com a aplicação dos relés estáticos, como meio de aumentar a velocidade dos sistemas de proteção.

Embora o tempo médio de operação tenha sido reduzido, a sensibilidade a fenômenos transitórios aumentou com o uso generalizado de relés estáticos, atingindo níveis elevados nos sistemas que protegem linhas de transmissão, em função da própria dimensão e complexidade dos relés utilizados.

Este artigo apresenta alguns casos reais de operações falsas de relés estáticos, provocadas por transitórios em circuitos lógicos. Para cada caso são descritas as simulações digitais e testes de campo realizados, conduzindo à identificação das causas bem como os métodos de reparo propostos e adotados. Os benefícios advindos da modelagem em computador são demonstrados, no diagnóstico de falhas transitórias em relés que utilizam circuitos lógicos.

2. TRANSITÓRIOS EM CIRCUITOS LÓGICOS

Dois tipos de transitórios podem produzir efeitos indesejáveis na performance de relés estáticos:

(a) interferências eletromagnéticas ou dielétricas, provocadas por chaveamentos de alta tensão, curto-circuitos, ou ruídos de alta frequência originados por equipamentos de rádio; e

(b) transitórios elétricos internos devido às características de chaveamento não ideais de portas lógicas e dispositivos de memória.

Muitas pesquisas têm sido desenvolvidas para isolar e blindar equipamentos de estado sólido de interferências do primeiro tipo. Filtros e circuitos especiais de blindagem estão disponíveis correntemente e definidos por padrões de projeto para cada ambiente. O estudo destes métodos foge ao escopo deste artigo.

Entre os transitórios de origem interna, dois tipos são especialmente importantes para relés lógicos de alta velocidade:

(a) AZARES ESTÁTICOS - originados quando mudanças de estado nos sinais internos ou de entrada causam saídas incorretas momentâneas do relé; e

(b) INICIALIZAÇÃO DESCONHECIDA - resultante da incapacidade do circuito se inicializar em um estado conhecido após a ativação da fonte de alimentação.

No que se segue restringiremos nossa atenção ao primeiro tipo de transitório e apresentaremos casos reais de operações falsas em subestações de EHV.

3. CASOS OBSERVADOS

Várias operações incorretas da unidade lógica de "trip" por oscilação, tipo 7TW42 (Figura 1), usada nos relés 7SL32 da Siemens, foram observadas após o comissionamento na linha de 500kV que interliga os sistemas da CHESF e ELETRONORTE, no Nordeste e Norte do Brasil, respectivamente. Em conjunto com o módulo de medida, esta unidade determina a posição relativa do fazor de impedância aparente da linha em relação a quatro vértices lineares (OQA1, OQA2, OQB1 e OQB2) que formam dois quadriláteros no plano R-X (Figura 2).

A lógica utilizada implementa uma versão do algoritmo tradicional de detecção de oscilação, através da medição do tempo de transporte do ponto de impedância entre os quadriláteros externo e interno, e das arestas cruzadas pelo ponto ao entrar e sair do quadrilátero externo.

Durante as ocorrências, embora não fossem detectadas condições de oscilação entre os dois sistemas, alguns eventos simultâneos foram observados, conforme relacionados a seguir:

(a) curto-circuitos em sistemas de subtransmissão além do alcance ajustado nas unidades de desligamento do relé; ou

(b) chaveamentos de bancos de capacitores de porte em subestações de consumidores, em

horários de baixo nível de intercâmbio de potência entre os dois sistemas.

No primeiro caso, de conformidade com as simulações de curto-circuito efetuadas, a impedância vista pelo relé mudava instantaneamente do ponto de carga para uma região entre as características interna e externa, OQB e OQA (curva 4 na figura 2), do módulo de oscilação de potência, retornando à condição de carga após a eliminação do defeito pelos disjuntores locais. O ponto de carga se localizava além do alcance das características OQA1 e OQA2.

No segundo caso, o chaveamento de um banco de capacitor de porte provocou uma reversão no fluxo de potência reativa na linha de interligação. Visto pelo relé, o ponto de impedância migrou do interior de OQA2 para o interior de OQA1, na curva característica da unidade de perda de oscilação (curva 3 na Figura 2).

4. TESTES DE CAMPO

Além dos testes de rotina recomendados pelo fabricante, os seguintes ensaios foram aplicados no relé 7SL32, tentando reproduzir os eventos observados durante as atuações citadas:

(a) inserção e remoção de faltas além do alcance do relé, de acordo com a curva 4 da Figura 2; e

(b) reversão súbita do fluxo de potência, visto pelo relé, de acordo com a curva 3 na Figura 2.

Ambos os ensaios foram realizados utilizando uma versão trifásica da montagem da Figura 3, projetada para simular mudanças bruscas da impedância vista pelo relé. Com valores adequados ajustados nos autotransformadores de entrada T1 e T2, e no defasador D, pode-se comandar, através da botoeira B, mudanças instantâneas do ponto de impedância, ao longo de uma direção qualquer do plano R-X.

Para os ensaios do primeiro tipo, a montagem foi ajustada para simular defeitos externos, com tempo de simulação maior que o tempo de "drop-out" das unidades de medida de oscilação de potência (30ms). A impedância da carga (pré-falta) foi ajustada além do alcance das unidades OQA1 e OQA2, na Figura 2. Com os auto-transformadores de entrada e o defasador ajustados em valores convenientes, simula-se a inserção e remoção de defeitos pressionando-se a botoeira ilustrada na Figura 3, e liberando-a após um retardo de tempo maior que 30ms, o tempo ajustado no discriminador de oscilação de potência (OST na Figura 1). Desligamentos indevidos foram registrados em vários testes, embora não em todos os casos.

Para os ensaios do segundo tipo, a montagem foi ajustada para provocar o deslocamento brusco da impedância da carga entre extremos opostos no plano R-X (ver curva 3 na Figura 2), ao se pressionar a botoeira ilustrada na Figura 3. Esta condição simularia uma reversão de fluxo de potência reativa, visto pelo relé, resultante do chaveamento de bancos de capacitores de porte próximos à linha de interligação. Desligamentos indevidos não foram registrados mas observou-se uma pequena divergência no tempo de "drop-out" da unidade OQA1 (28ms) comparada com o valor nominal (30ms).

5. MODELO COMPUTACIONAL

Para o relé 7SL32, evidenciou-se desde o início, que a pesquisa direta da origem das falhas pela análise da documentação disponível seria difícil, ou mesmo impossível, devido às características transitórias dos defeitos, provocados por circuitos lógicos complexos. Como alternativa, desenvolveram-se estudos de modelagem computacional, na tentativa de reproduzir, pela simulação, os desligamentos observados, e identificar a origem dos transitórios. Uma vez validado, o modelo poderia ser usado para testar as soluções propostas, antes de sua implementação em campo.

A disponibilidade de um simulador lógico, baseado na álgebra ternária, tornou possível a modelagem e simulação confiável dos transitórios descritos. Este sistema adiciona um terceiro estado (DESCONHECIDO) aos dois estados da álgebra booleana (VERDADEIRO/FALSO) a fim de simular e detectar azares estáticos e/ou inicialização desconhecida de circuitos lógicos. Estes fenômenos foram considerados típicos daqueles observados no relé 7SL32, em função do seu caráter transitório.

As seguintes tabelas verdade definem a extensão dos operadores booleanos AND, OR e NOT para a álgebra ternária, usada no simulador:

AND	0	1	X	OR	0	1	X	NOT
0	0	0	0	0	0	1	X	0
1	0	1	X	1	1	1	1	1
X	0	X	X	X	X	1	X	X

(a) AND

(b) OR

(c) NOT

TABELAS - VERDADE

onde X representa o estado DESCONHECIDO, e 0/1 representam os estados FALSO/VERDADEIRO, respectivamente. Outros operadores lógicos, tais como XOR, NAND, NOR, etc, são derivados facilmente destas tabelas pelo próprio simulador.

Os dados de entrada para o programa incluem o modelo do circuito, descrito em uma linguagem de descrição de circuitos, seguida pela modelagem dos sinais externos que conduzirão a simulação. O programa implementa um simulador de eventos a tempos discretos cujo diagrama de blocos encontra-se ilustrado na Figura 4. O algoritmo incorpora uma derivação do método de Eichelberger para detectar azares estáticos em circuitos combinacionais e sequenciais, usando a álgebra ternária. A inicialização desconhecida é um subproduto deste método, no pior caso. Para a simulação de várias unidades de tempo, o mesmo algoritmo é repetido o número de vezes necessário.

Duas malhas iterativas são identificadas no diagrama (Figura 4). A primeira, conhecida como "halves pass", avalia iterativamente todas as saídas das portas lógicas do modelo, admitindo valores desconhecidos em todas as entradas mutantes, até que todos os sinais tenham estabilizado. Por "entradas mutantes" são chamados todos os sinais cujo valor atual difere do anterior. O bloco TRANSIÇÃO registra todos os sinais desconhecidos e atribui os valores finais às entradas mutantes. A segunda

malha repete a avaliação, aplicando a todas as entradas o valor externo atual, até que todos os sinais se estabilizem.

Além dos valores finais e intermediários dos sinais, o programa detecta a possibilidade de ocorrência dos seguintes fenômenos indesejáveis:

(a) AZARES ESTÁTICOS - detectados por sinais intermediários desconhecidos na saída de portas lógicas cujos estados inicial e final são idênticos e conhecidos; e

(b) INICIALIZAÇÃO DESCONHECIDA - detectada quando da estabilização do modelo em um estado desconhecido mesmo com os sinais de entrada conhecidos.

A linguagem de descrição de circuitos usada no programa codifica os modelos como um conjunto de expressões lógicas e/ou declarações de portas lógicas. Estas expressões são derivadas por inspeção direta do diagrama lógico do sistema modelado.

A figura 5 contém o modelo desenvolvido para o módulo de lógica da unidade de trip por oscilação, tipo 7TW42, ilustrada na Figura 2, usada no relé 7SL32 da Siemens. Neste módulo, alguns circuitos integrados com biestáveis, monoestáveis e temporizadores são modelados por funções similares (FLIPSR, FLOPSR, DROP, PICKUP) disponíveis na linguagem de descrição de circuitos. Os nomes das variáveis coincidem com as denominações dos bornes de entrada e saída do módulo, acrescidas de algumas variáveis internas (X, Y e Z). A parte pontilhada não faz parte do módulo original.

6. CASOS SIMULADOS

Os casos simulados neste modelo objetivaram reproduzir e diagnosticar os desligamentos indevidos pela unidade de oscilação de potência, na ausência de condições de perda de sincronismo entre os dois sistemas. Para este artigo, os seguintes casos foram selecionados e mostrados como as curvas de impedância 1 a 4 da Figura 2:

- CASO 1 - Oscilação Estável de Potência
- CASO 2 - Oscilação Instável de Potência
- CASO 3 - Reversão de Fluxo de Potência
- CASO 4 - Curto-Circuito Externo

Os casos 1 e 2 foram processados para certificar e validar o modelo, sujeito a oscilações estáveis e instáveis de potência, para as quais os sinais de desligamento e bloqueio de saída eram conhecidos. Os casos restantes foram projetados para testar a hipótese de desligamento indevido durante a reversão do fluxo de potência ou durante a eliminação de curto-circuito externo. Gráficos dos quatro casos simulados são mostrados nas Figuras 6 a 9, produzidos pela opção gráfica do simulador. As seguintes convenções são adotadas pelo programa para traçar seqüências de eventos lógicos, para cada variável monitorada:

- XXX estado desconhecido
- OX falso com possível azar estático
- O falso sem azar estático
- UUU transição de falso para verdadeiro
- 1 verdadeiro sem azar estático
- XI verdadeiro com possível azar estático
- DDD transição de verdadeiro para falso

No que se segue, cada caso será comentado individualmente e comparado às experiências de campo.

No caso 1, durante uma oscilação estável de potência (Figura 6), o sinal ativo TRIP-II não provoca desligamento da linha, devido à ausência do sinal TRIP-I. Ambos são necessários para o disparo dos disjuntores. Os sinais de bloqueio (BLOCK-I e BLOCK-II), e sinal de alarme (ALARM) são ativados corretamente durante a oscilação de potência, conforme esperado.

No caso 2, durante uma oscilação instável de potência (Figura 7), as saídas de bloqueio e alarme (BLOCK-I, BLOCK-II e ALARM) são ativadas enquanto o ponto de impedância está atravessando a característica do relé. Os sinais de desligamento (TRIP-I e TRIP-II) são ativados apenas após o ponto de impedância deixar a característica externa (OQA), conforme esperado.

No caso 3, durante uma reversão do fluxo de potência (Figura 8), o simulador registra corretamente a ausência de sinais sustentados de desligamento, alarme e bloqueio, mas detecta possíveis azares em todos os sinais de saída, ALARM, BLOCK-I, BLOCK-II, TRIP-I e TRIP-II. Azares estáticos simultâneos nos dois últimos sinais poderiam resultar em desligamento incorreto da linha, embora não se tenha confirmado nos ensaios de campo. A pequena divergência no tempo especificado e encontrado para o "drop-out" da unidade OQA1 (28ms) poderia explicar este resultado.

No caso 4, durante a eliminação de um curto-circuito externo (Figura 9), mas com a impedância de defeito localizada entre as curvas características OQA e OQB, e o tempo de eliminação superior ao ajustado na unidade de oscilação de potência (TIME-OST), o simulador registra corretamente sinais sustentados nas saídas TRIP-II e ALARM, e detecta possíveis azares estáticos na saída TRIP-I. Novamente, estes azares poderiam causar desligamento indevido da linha, confirmados durante os ensaios de campo já descritos.

7. SOLUÇÕES PROPOSTAS

Vários métodos estão disponíveis para o projeto de circuitos livres de azares estáticos capazes de auto-inicialização em um estado conhecido. Métodos formais foram desenvolvidos e podem ser aplicados a pequenos circuitos combinacionais (1). Para circuitos seqüenciais complexos, métodos heurísticos podem ser usados suportados por estudos de simulação que confirmem as soluções adotadas no projeto. Este método foi utilizado para certificar e validar as soluções propostas para o relé 7SL32.

A garantia da operação correta deste relé implicaria em modificações na unidade de oscilação de potência do relé. Para este fim, ou se projetaria o módulo, tornando-o livre de azares, ou se tornaria o circuito de desligamento imune aos azares estáticos. A primeira solução foi eliminada uma vez que ela resultaria em mudanças nas unidades de medida originais do relé.

Para implantar a segunda solução, sinais adequados de bloqueio deveriam ser acrescentados ao módulo, para aumentar sua capacidade de distinguir oscilações instáveis de potência de outras condições do sistema.

Uma condição de bloqueio adequada poderia ser acrescentada ao sinal TRIP-II para permitir sua saída apenas em oscilações de potência

cujo ponto de impedância tenha cruzado a característica poligonal interna do relé, QQB. Esta condição deveria ser memorizada para liberar o sinal de desligamento apenas após o ponto de impedância ter deixado a característica externa (OQA1 e OQA2), evitando-se a abertura do disjuntor em condições extremas de corrente.

A fim de simular a solução proposta, o modelo foi adaptado com a inclusão do circuito mostrado em linhas pontilhadas na margem esquerda da Figura 1. Esta adequação foi modelada modificando-se o primeiro comando do modelo (Figura 5) para:

$$\text{TRIP-II} = \text{AND}(\text{NOT}(\text{OQA1 AND OQA2}), \text{DROP 1}(\text{AND}(3\text{-PHASE, START, W, 4 AND Y) AND DC-SUPPLY}), \text{NOT}(Z));$$

onde W foi modelado pelo comando:

$$W = \text{OR}(\text{OQB, AND}(W, \text{OQA1}, \text{OQA2}));$$

acrescentado ao modelo. W é uma variável lógica indicada na parte pontilhada da Figura 1.

A simulação dos casos 1 e 2 foi repetida, com resultados idênticos aos das Figuras 6 e 7, respectivamente, validando o modelo modificado.

Para os casos 3 e 4, correspondentes a reversão do fluxo de potência e curto-circuito externo, o simulador produziu os gráficos mostrados nas figuras 10 e 11 com o modelo modificado.

No caso 3, reversão do fluxo de potência (Figura 10), não se observam mais azares estáticos no sinal TRIP-II, e portanto não serão liberados sinais de desligamento falsos, corrigindo o comportamento anômalo.

No caso 4, curto-circuito externo (Figura 11), não se observam mais sinais sustentados na saída TRIP-II, bloqueando a propagação do azar estático do sinal TRIP-I para o disjuntor.

Estes dois casos asseguram a efetividade das modificações propostas para evitar os desligamentos indevidos.

8. IMPLEMENTAÇÃO DA SOLUÇÃO

A implementação da solução proposta procurou restringir-se à utilização das funções já disponíveis e não utilizadas no módulo de lógica do relé. Após certificada nos laboratórios do fabricante, optou-se por se condicionar o disparo do sinal TRIP-I à confirmação da passagem do ponto de impedância pelo quadrilátero interno OQB, durante uma oscilação. Esta condição seria memorizada substituindo-se o sinal 3-PHASE pelo sinal QQB na entrada dos biestáveis já existentes. A implementação final consistiu no acréscimo das ligações indicadas em pontilhado no interior da Figura 1.

Para simular estas modificações, substituiu-se no modelo original todas as ocorrências da variável 3-PHASE por QQB, e modificou-se o primeiro comando (Figura 5) para

$$\text{TRIP-II} = \text{AND}(\text{NOT}(\text{OQA1 AND OQA2}), \text{DROP 1}((\text{AND}(\text{OQB}, \text{START}, 4 \text{ AND } Y) \text{ OR } 4 \text{ AND } Y) \text{ AND DC-SUPPLY}), \text{NOT}(Z));$$

Repetidas as simulações, os casos 1 e 2 validaram o modelo, produzindo os sinais esperados. Quanto aos casos 3 e 4, o simulador

produziu os gráficos mostrados nas figuras 12 e 13, com as modificações modeladas.

Para o caso 3, reversão do fluxo de potência (Figura 12), desapareceram os azares estáticos no sinal TRIP-I e portanto, eliminando os sinais de disparo falsos, mesmo persistindo o azar estático no sinal TRIP-II.

De maneira analógica, no caso 4, curto-circuito externo (Figura 13), desapareceram os azares estáticos no sinal TRIP-I, bloqueando a propagação da ordem de desligamento presente temporariamente no sinal TRIP-II.

Estas modificações foram testadas nos laboratórios da CHESF, ELETRONORTE E SIEMENS e implantadas nas subestações de Boa Esperança, Presidente Dutra, Imperatriz e São Luiz.

9. CONCLUSÃO

Este artigo analisou casos reais de operações indevidas de relés, originadas por azares estáticos em circuitos lógicos. Estabeleceu-se a utilidade da modelagem e simulação lógica como meios adequados de diagnóstico das causas e validação de soluções propostas, antes da implementação em campo.

10. BIBLIOGRAFIA

(1) Breuer, M.A., Friedman, A.D., "Diagnosis & Reliable Design of Digital Systems", Pitman, 1977

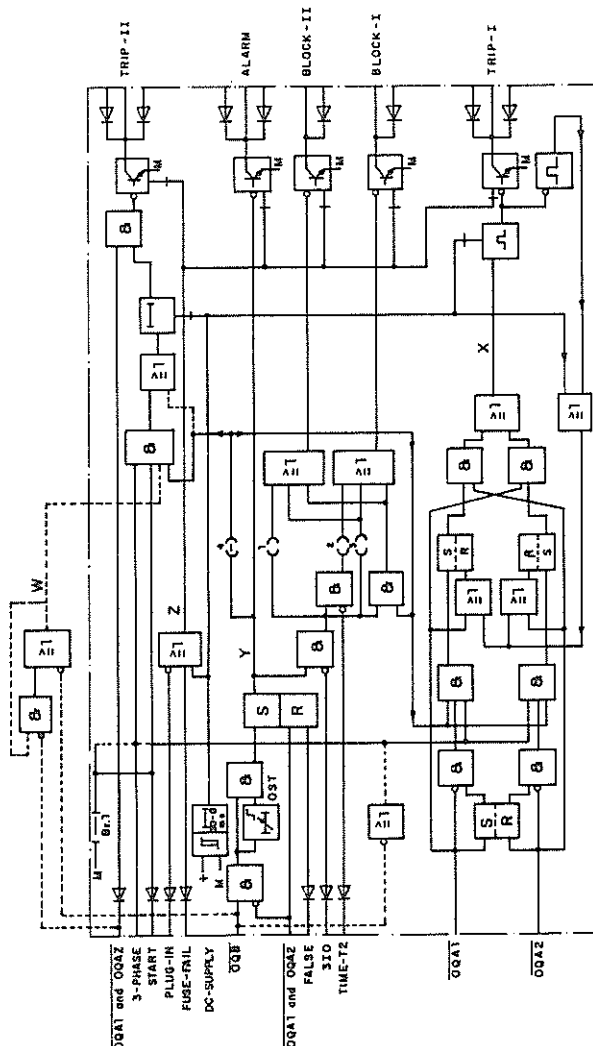


FIGURA 1

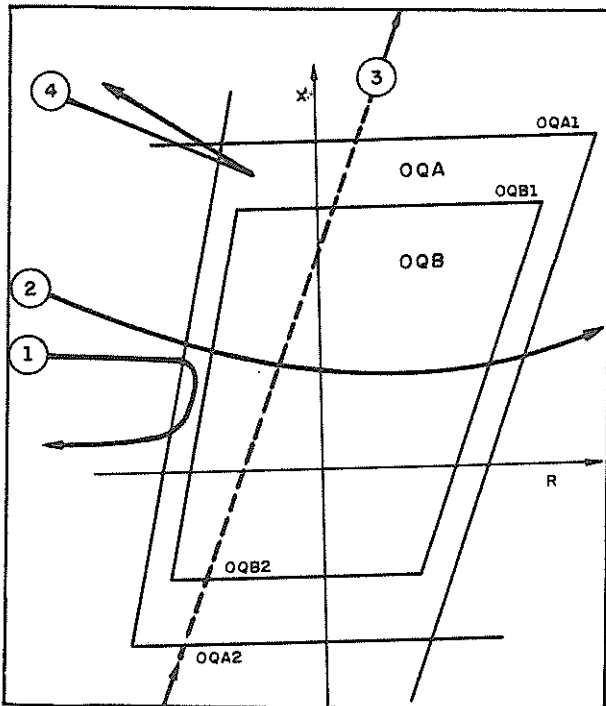


FIGURA 2

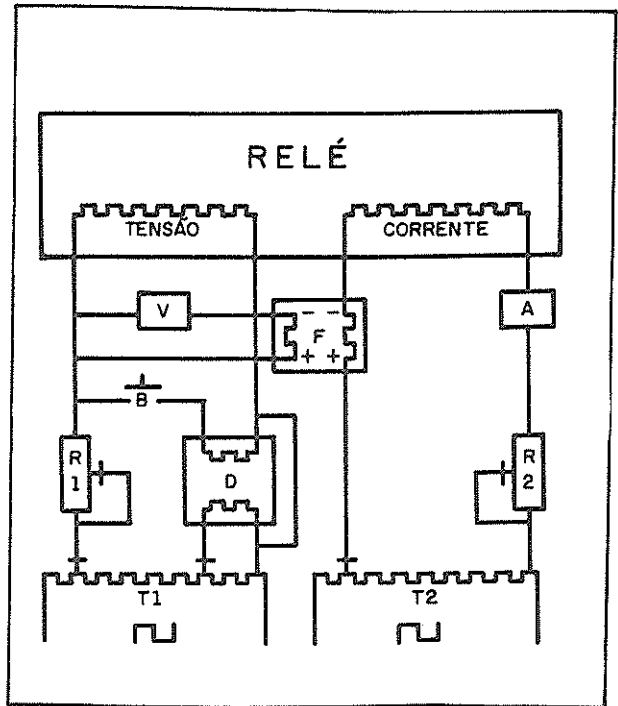


FIGURA 3

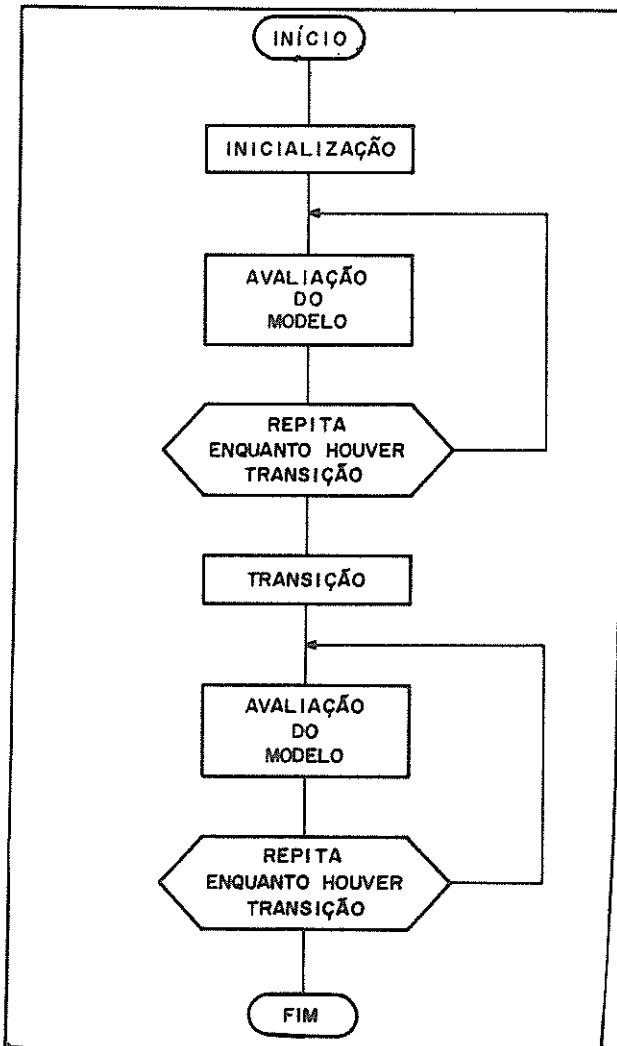


FIGURA 4

TRIP-II = AND (NOT (OQA1 AND OQA2),
 DROP 1 (AND (3-PHASE, START,
 4 AND Y) AND DC-SUPPLY),
 NOT Z);
 ALARM = Y AND NOT Z;
 BLOCK-II = OR (1 AND AND (NOT 3IO, Y),
 3 AND AND (NOT 3IO, Y),
 AND (4, Y)) AND NOT Z;
 BLOCK-I = OR (AND (2, NOT TIME - T2,
 NOT 3IO, Y), AND (3, NOT
 3IO, Y) AND (4, Y, NOT 3IO))
 AND NOT Z;
 TRIP-I = AND (PICKUP (X), DC-SUPPLY, NOT Z);
 TIME-OST = PICK 3 (NOT OQB AND OQA1
 AND OQA2);

X = OR (AND (FLIPSR (AND (4 AND Y,
 AND (NOT NOT OQA1, FLIPSR (NOT
 OQA1, NOT OQA2)), 3-PHASE),
 OR (NOT OQA1, OR (PICKUP NOT
 (PICKUP (X) AND DC-SUPPLY), NOT
 DC-SUPPLY))), NOT OQA2),
 AND (FLIPSR (AND (4 AND Y,
 AND (NOT NOT OQA2,
 FLOPSR (NOT OQA1, NOT OQA2)),
 3-PHASE), OR (NOT OQA2,
 OR (PICKUP NOT (PICKUP (X)
 AND DC-SUPPLY))), NOT
 DC-SUPPLY))), NOT OQA1));
 Y = FLIPSR (AND (NOT OQB, OQA1
 AND OQA2, TIME - OST),
 OR (NOT (OQA1 AND OQA2), FALSE));
 Z = OR (NOT PLUG-IN, FUSE-FAIL,
 NOT DC-SUPPLY);

FIGURA 5

	A L A R M	B L O C K - I	B L O C K - I	D C - S U P P L Y	Q A R 1	Q A R 2	Q B	T I M E - O S T	T R I P - I	T R I P - I
TIME	XXX	XXX	XXX	XXX	XXX	XXX	XXX	XXX	XXX	XXX
0	0	0	0	0	1	0	0	0	0	0
1	0	0	0	UUU	1	0	0	0	0	0
2	0	0	0	1	1	UUU	0	0	0	0
3	0	0	0	1	1	1	0	0	0	0
4	0	0	0	1	1	1	0	0	0	0
5	0	0	0	1	1	1	0	0	0	0
6	UUU	UUU	UUU	1	1	1	0	UUU	0	0
7	1	1	1	1	1	1	0	1	0	0
8	1	1	1	1	1	1	0	1	0	0
9	DDD	DDD	DDD	1	1	DDD	0	DDD	0	UUU
10	0	0	0	1	1	0	0	0	0	DDD
11	0	0	0	1	1	0	0	0	0	0

FIGURA 06

	A L A R M	B L O C K - I	B L O C K - I	D C - S U P P L Y	Q A R 1	Q A R 2	Q B	T I M E - O S T	T R I P - I	T R I P - I
TIME	XXX	XXX	XXX	XXX	XXX	XXX	XXX	XXX	XXX	XXX
0	1	0	0	0	0	0	1	0	0	0
1	0	0	0	UUU	0	1	0	0	0	0
2	0	0	0	1	1	0	0	0	0	0
3	0	0	0	1	1	0	0	0	0	0
4	0	0	0	1	1	0	0	0	0	0
5	0	0	0	1	1	UUU	1	0	0	0
6	0	0	0	1	1	1	1	0	0	0
7	0	0	0	1	1	1	1	0	0	0
8	OX	OX	OX	1	1	DDD	0	OX	OX	0
9	0	0	0	1	1	0	0	0	0	0
10	0	0	0	1	1	0	0	0	0	0
11	0	0	0	1	1	0	0	0	0	0
12	0	0	0	1	1	0	0	0	0	0

FIGURA 10

0	XXX	XXX	XXX	XXX	XXX	XXX	XXX	XXX	XXX	XXX
1	0	0	0	0	1	0	0	0	0	0
2	0	0	0	UUU	1	0	0	0	0	0
3	0	0	0	1	1	UUU	0	0	0	0
4	0	0	0	1	1	1	0	0	0	0
5	0	0	0	1	1	1	0	0	0	0
6	UUU	UUU	UUU	1	1	1	0	UUU	0	0
7	1	1	1	1	1	1	0	1	0	0
8	1	1	1	1	1	1	0	1	0	0
9	1	1	1	1	1	1	UUU	DDD	0	0
10	1	1	1	1	1	1	1	0	0	0
11	1	1	1	1	1	1	1	0	0	0
12	1	1	1	1	1	1	DDD	0	0	0
13	1	1	1	1	1	1	0	0	0	0
14	1	1	1	1	1	1	0	0	0	0
15	1	1	1	1	1	1	0	UUU	0	0
16	1	1	1	1	1	1	0	1	0	0
17	1	1	1	1	1	1	0	1	0	0
18	DDD	DDD	DDD	1	DDD	1	0	DDD	UUU	UUU
19	0	0	0	1	0	1	0	0	DDD	DDD
20	0	0	0	1	0	1	0	0	0	0

FIGURA 07

0	XXX	XXX	XXX	XXX	XXX	XXX	XXX	XXX	XXX	XXX
1	0	0	0	0	0	0	0	0	0	0
2	0	0	0	UUU	0	0	0	0	0	0
3	0	0	0	1	0	0	0	0	0	0
4	0	0	0	1	UUU	UUU	0	0	0	0
5	0	0	0	1	1	1	0	0	0	0
6	0	0	0	1	1	1	0	0	0	0
7	UUU	UUU	UUU	1	1	1	0	UUU	0	0
8	1	1	1	1	1	1	0	1	0	0
9	1	1	1	1	1	1	0	1	0	0
10	DDD	DDD	DDD	1	DDD	DDD	0	DDD	OX	0
11	0	0	0	1	0	0	0	0	0	0
12	0	0	0	1	0	0	0	0	0	0
13	0	0	0	1	0	0	0	0	0	0
14	0	0	0	1	0	0	0	0	0	0

FIGURA 11

0	XXX	XXX	XXX	XXX	XXX	XXX	XXX	XXX	XXX	XXX
1	0	0	0	0	0	1	0	0	0	0
2	0	0	0	UUU	0	1	0	0	0	0
3	0	0	0	1	0	1	0	0	0	0
4	0	0	0	1	0	1	0	0	0	0
5	0	0	0	1	UUU	1	0	0	0	0
6	0	0	0	1	1	1	0	0	0	0
7	0	0	0	1	1	1	0	0	0	0
8	OX	OX	OX	1	1	DDD	0	OX	OX	OX
9	0	0	0	1	1	0	0	0	0	0
10	0	0	0	1	1	0	0	0	0	0

FIGURA 08

0	XXX	XXX	XXX	XXX	XXX	XXX	XXX	XXX	XXX	XXX
1	0	0	0	0	0	0	1	0	0	0
2	0	0	0	UUU	0	1	0	0	0	0
3	0	0	0	1	0	1	0	0	0	0
4	0	0	0	1	0	1	0	0	0	0
5	0	0	0	1	UUU	1	0	0	0	0
6	0	0	0	1	1	1	0	0	0	0
7	0	0	0	1	1	1	0	0	0	0
8	OX	OX	OX	1	1	DDD	0	OX	0	OX
9	0	0	0	1	1	0	0	0	0	0
10	0	0	0	1	1	0	0	0	0	0
11	0	0	0	1	1	0	0	0	0	0
12	0	0	0	1	1	0	0	0	0	0

FIGURA 12

0	XXX	XXX	XXX	XXX	XXX	XXX	XXX	XXX	XXX	XXX
1	0	0	0	0	0	0	0	0	0	0
2	0	0	0	UUU	0	0	0	0	0	0
3	0	0	0	1	0	0	0	0	0	0
4	0	0	0	1	UUU	UUU	0	0	0	0
5	0	0	0	1	1	1	0	0	0	0
6	0	0	0	1	1	1	0	0	0	0
7	UUU	UUU	UUU	1	1	1	0	UUU	0	0
8	1	1	1	1	1	1	0	1	0	0
9	1	1	1	1	1	1	0	1	0	0
10	DDD	DDD	DDD	1	DDD	DDD	0	DDD	OX	UUU
11	0	0	0	1	0	0	0	0	0	DDD
12	0	0	0	1	0	0	0	0	0	0
13	0	0	0	1	0	0	0	0	0	0

FIGURA 09

0	XXX	XXX	XXX	XXX	XXX	XXX	XXX	XXX	XXX	XXX
1	0	0	0	0	0	0	0	0	0	0
2	0	0	0	UUU	0	0	0	0	0	0
3	0	0	0	1	0	0	0	0	0	0
4	0	0	0	1	UUU	UUU	0	0	0	0
5	0	0	0	1	1	1	0	0	0	0
6	0	0	0	1	1	1	0	0	0	0
7	UUU	UUU	UUU	1	1	1	0	UUU	0	0
8	1	1	1	1	1	1	0	1	0	0
9	1	1	1	1	1	1	0	1	0	0
10	DDD	DDD	DDD	1	DDD	DDD	0	DDD	0	UUU
11	0	0	0	1	0	0	0	0	0	DDD
12	0	0	0	1	0	0	0	0	0	0
13	0	0	0	1	0	0	0	0	0	0
14	0	0	0	1	0	0	0	0	0	0

FIGURA 13